

Inhaltsverzeichnis

1	Komplexe Schaltwerke	1
1.1	Zeitverhalten von Schaltwerken	2
1.1.1	Wirk- und Kippintervalle	3
1.1.2	Rückkopplungsbedingungen	6
1.2	Entwurf von Schaltwerken	9
1.3	Kooperierende Schaltwerke	10
1.4	Konstruktionsregeln für Operationswerke	12
1.5	Entwurf des Steuerwerks	13
1.6	Hardware-Algorithmen	15
1.7	ASM-Diagramme	17
1.7.1	Zustandsboxen	17
1.7.2	Entscheidungsboxen	18
1.7.3	Bedingte Ausgangsboxen	18
1.7.4	ASM-Block	19
1.8	Einsen-Zähler	20
1.8.1	Lösung mit komplexem MOORE-Schaltwerk	20
1.8.2	Lösung mit komplexem MEALY-Schaltwerk	22
1.8.3	Aufbau des Operationswerkes	23
1.8.4	MOORE-Steuerwerk als konventionelles Schaltwerk	24
1.8.5	MOORE-Steuerwerk mit One-hot Codierung	25
1.8.6	MEALY-Steuerwerk als konventionelles Schaltwerk	26
1.8.7	MEALY-Steuerwerk mit One-hot Codierung	27
1.8.8	Mikroprogrammierte Steuerwerke	28
1.8.9	Vergleich der komplexen Schaltwerke	29
1.9	Universelle Operationswerke	29
1.10	Simulationsprogramm eines Operationswerks	32
1.10.1	Aufbau des Operationswerks	32
1.10.2	Benutzung des Programms	33
1.10.3	Betriebsarten und Befehle	35
1.10.4	Beispielprogramme	37

2	von NEUMANN–Rechner	41
2.1	Grundkonzept	41
2.2	Interne und externe Busse	48
2.3	Prozessorregister	49
2.3.1	Stackpointer	50
2.3.2	Unterprogramme	51
2.3.3	Interrupts	53
2.4	Rechenwerk	60
2.4.1	Daten–Register	60
2.4.2	Adress–Rechnungen	61
2.4.3	Datenpfade	62
2.4.4	Schiebemultiplexer	62
2.4.5	Dual–Addition	63
2.4.6	Logische Operationen	73
2.4.7	Status–Flags	74
2.5	Leitwerk	76
2.5.1	Mikroprogrammierung	77
2.5.2	Grundstruktur eines Mikroprogramm–Steuerwerks	77
2.5.3	Mikrobefehlsformat	78
2.5.4	Adresserzeugung	79
2.6	Mikroprogrammierung einer RALU	81
2.6.1	Aufbau der RALU	81
2.6.2	Benutzung des Programms	81
2.6.3	Setzen von Registern	82
2.6.4	Steuerwort der RALU	82
2.6.5	Takten und Anzeigen der RALU	83
2.6.6	Statusregister und Sprungbefehle	84
2.6.7	Kommentare und Verkettung von Befehlen	85
2.6.8	Beispielprogramme	85
3	Hardware–Parallelität	91
3.1	Direkter Speicherzugriff	92
3.2	Ein–/Ausgabe Prozessoren	94
3.3	HARVARD–Architektur	95
3.4	Gleitkomma–Einheiten	95
3.4.1	Gleitkomma–Darstellung	96
3.4.2	Beispiel: IEEE–754 Standard	98
3.4.3	Anschluss von Gleitkomma–Einheiten	100
3.5	Klassifikation nach Flynn	101

3.6	Pipeline-Prozessoren	102
3.6.1	Aufbau einer Pipeline	103
3.6.2	Time-Space Diagramme	104
3.6.3	Bewertungsmaße	105
3.6.4	Pipeline-Arten	106
3.6.5	Beispiel: Gleitkomma-Addierer	109
3.7	Array-Prozessoren (Feldrechner)	110
3.7.1	Verbindungs-Netzwerk	113
3.7.2	Shuffle-Exchange Netz	114
3.7.3	Omega-Netzwerk	115
3.7.4	Beispiel: Matrix-Multiplikation	116
4	Prozessorarchitektur	119
4.1	Befehlsarchitektur	121
4.1.1	Speicherung von Operanden	122
4.1.2	Speicheradressierung	125
4.1.3	Adressierungsarten	126
4.1.4	Datenformate	129
4.1.5	Befehlsarten	130
4.1.6	Befehlsformate	131
4.2	Logische Implementierung	132
4.2.1	CISC	132
4.2.2	RISC	132
4.3	Technologische Entwicklung	133
4.4	Prozessorleistung	134
5	CISC-Prozessoren	137
5.1	Merkmale von CISC-Prozessoren	138
5.2	Motorola 68000	140
5.2.1	Datenformate	140
5.2.2	Register	140
5.2.3	Organisation der Daten im Hauptspeicher	142
5.2.4	Adressierungsarten	142
5.2.5	Befehlssatz	143
5.2.6	Exception Processing	149
5.2.7	Entwicklung zum 68060	150

6	RISC-Prozessoren	155
6.1	Architekturmerkmale	156
6.1.1	Erste RISC-Prozessoren	156
6.1.2	RISC-Definition	157
6.1.3	Befehls-Pipelining	157
6.2	Aufbau eines RISC-Prozessors	159
6.3	Pipelinekonflikte	159
6.3.1	Struktureller Konflikt	162
6.3.2	Datenflusskonflikte	162
6.3.3	Laufzeitkonflikte	164
6.3.4	Steuerflusskonflikte	166
6.4	Optimierende Compiler	167
6.4.1	Minimierung von strukturellen Konflikten	169
6.4.2	Beseitigung von NOPs bei Datenflusskonflikten	169
6.4.3	Beseitigung von NOPs bei statischen Laufzeitkonflikten	169
6.4.4	Beseitigung von NOPs bei Steuerflusskonflikten	170
6.5	Superpipelining	171
6.6	Superskalare RISC-Prozessoren	172
6.6.1	Single Instruction Issue	172
6.6.2	Multiple Instruction Issue	173
6.6.3	Hardware zur Minimierung von Steuerflusskonflikten	180
6.6.4	PowerPC 620	181
6.7	VLIW-Prozessoren	183
7	Kommunikation	185
7.1	Parallele und serielle Busse	186
7.2	Busprotokolle	187
7.3	Verbindungstopologien	187
7.4	Parallelbusse	190
7.4.1	Busfunktionen und Businterface	191
7.4.2	Mechanischer Aufbau	193
7.4.3	Elektrische Realisierung	194
7.4.4	Busarbitrierung	196
7.4.5	Übertragungsprotokolle	202
7.4.6	Beispiel: VME-Bus	209
7.5	Serielle Übertragung	212
7.5.1	Verwürfler und Entwürfler	213
7.5.2	Betriebsarten	213
7.5.3	Synchrone Übertragung	215

7.5.4	Asynchrone Übertragung	215
7.5.5	Leitungscode	216
7.6	Basisbandübertragung	218
7.6.1	Ethernet-LAN	218
7.6.2	Token-Ring	225
7.6.3	Token-Bus	226
7.6.4	Kopplung von LANs	227
7.7	Drahtlose Netzwerke (WLAN)	228
7.8	Breitbandübertragung	230
7.8.1	Übertragungssicherung	231
7.8.2	Zyklische Blocksicherung (CRC)	232
7.9	WANs	235
7.9.1	Vermittlungstechnik	235
7.9.2	Betrieb von WANs	237
7.10	OSI-Modell	239
8	Speicher	245
8.1	Halbleiterspeicher	247
8.1.1	Speicher mit wahlfreiem Zugriff	248
8.1.2	Pufferspeicher mit seriellem Zugriff	258
8.1.3	Assoziativspeicher (CAM)	260
8.2	Funktionsprinzipien magnetomotorischer Speichermedien	261
8.2.1	Speicherprinzip	262
8.2.2	Schreibvorgang	262
8.2.3	Lesevorgang	263
8.2.4	Abtasttakt	263
8.2.5	Codierungsarten	266
8.3	Festplatten	269
8.3.1	Geschichte	269
8.3.2	Mechanischer Aufbau von Festplatten	271
8.3.3	Kenndaten von Festplatten	271
8.4	Softsektorierung	273
8.4.1	Fehlererkennung mittels CRC-Prüfung	275
8.4.2	Festplatten-Adressierung	277
8.4.3	Zonenaufzeichnung	278
8.4.4	LBA-Adressierung (Linear Block Addressing)	279
8.5	Festplatten-Controller und Schnittstellenstandards	280
8.5.1	IDE-Schnittstelle	282
8.5.2	SCSI-Schnittstelle	283

8.5.3	RAID (Redundant Array of Independent Discs)	286
8.6	Partitionierung	287
8.7	Dateisysteme	288
8.7.1	Typen von Dateisystemen	290
8.7.2	DOS–Dateisystem	290
8.7.3	LINUX–Dateisystem	295
8.8	CD–ROM	298
8.8.1	Aufbau und Speicherprinzip	298
8.8.2	Lesen	299
8.8.3	Laufwerksgeschwindigkeiten	300
8.8.4	Datencodierung	301
8.8.5	Datenorganisation in Sessions	302
8.8.6	Dateisysteme für CDs	303
8.8.7	CD–R (CD Recordable)	304
8.8.8	CD–RW (CD Rewritable)	305
8.9	DVD (Digital Versatile Disc)	306
8.10	Speicherverwaltung	307
8.10.1	Segmentierung	308
8.10.2	Paging	309
8.10.3	Adressumsetzung	310
8.10.4	Hauptspeicherzuteilung (Allocation)	313
8.10.5	Hardware–Unterstützung virtueller Speicher	316
8.10.6	Caches	318
8.10.7	Datei–Organisation	323
9	Ein–/Ausgabe und Peripheriegeräte	327
9.1	Parallele Ein–/Ausgabe	327
9.2	Serielle Ein–/Ausgabe	329
9.2.1	Asynchronbetrieb	329
9.2.2	Synchronbetrieb	331
9.3	Zeitgeber (Timer)	332
9.4	Analoge Ein–/Ausgabe	332
9.4.1	D/A–Umsetzer	332
9.4.2	A/D–Umsetzer	337
9.5	Tastatur	342
9.5.1	Make– und Break–Codes	344
9.5.2	Ringpuffer	345
9.5.3	Tastaturfunktionen des BIOS	346
9.6	Maus	346

9.6.1	Rollmaus	347
9.6.2	Optische Maus	348
9.6.3	Alternativen zur Maus	348
9.7	Scanner	349
9.7.1	Handscanner	349
9.7.2	Einzugscanner	349
9.7.3	Flachbettscanner	350
9.8	Digitalkamera	351
9.8.1	Speicherkarten	351
9.8.2	Video- und Webkameras	352
9.9	LCD-Bildschirm	352
9.9.1	Passiv- und Aktivmatrix-Displays	354
9.9.2	Pixelfehler	355
9.9.3	Kontrastverhältnis und Blickwinkel	356
9.9.4	Farbraum	356
9.9.5	Farbtemperatur	357
9.9.6	DVI (Digital Video Interface)	357
9.9.7	TCO-Norm	358
9.10	Drucker	359
9.10.1	Tintenstrahldrucker	359
9.10.2	Thermotransfer- und Thermosublimationsdrucker	360
9.10.3	Laserdrucker	361
10	Aktuelle Computersysteme	363
10.1	Arten von Computern	363
10.2	Chipsätze	366
10.3	Aktuelle Desktop-Prozessoren	368
10.3.1	Athlon 64 FX-53	368
10.3.2	Pentium 4 EE (Extreme Edition)	370
10.4	Speicher	371
10.5	Ein-/Ausgabe Schnittstellen	372
10.6	Grafikadapter	374
10.7	Entwicklungstrends	375
10.7.1	Verkleinerung der Strukturen	375
10.7.2	Silicon-on-Isolator (SOI)	376
10.7.3	Kupfertechnologie	376
10.7.4	Dual-Core-Prozessoren	377
10.7.5	Erhöhung der Speicherbandbreite	377
10.7.6	Sicherheit und Zuverlässigkeit	377

Literaturverzeichnis	379
A Kurzreferenz Programm opw	383
B Kurzreferenz Programm ralu	385
C Abkürzungen	387
Sachverzeichnis	391